

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-332654

(43)Date of publication of application : 30.11.2001

(51)Int.Cl. H01L 23/12
H01L 21/56
H01L 21/60
H01L 23/28
H01L 23/29
H01L 23/31
H03H 3/08
H03H 9/25
H05K 3/20
H05K 3/28
H05K 3/32
H05K 3/46

(21)Application number : 2001-056535

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 01.03.2001

(72)Inventor : NAKATANI SEIICHI
BESSHO YOSHIHIRO
SUGAYA YASUHIRO
ONISHI KEIJI

(30)Priority

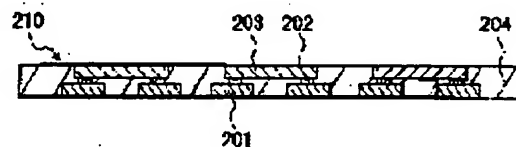
Priority number : 2000076093 Priority date : 17.03.2000 Priority country : JP

(54) MODULE PROVIDED WITH BUILT-IN ELECTRIC ELEMENT AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a module which is provided with built-in electric elements, such as semiconductor chips and surface acoustic wave elements, and can be thinned while being provided with mechanical strength, and to provide a manufacturing method of the module.

SOLUTION: A module provided with built-in electric elements is constituted in a structure that more than two electric elements 203 are mounted on wiring patterns 201 and the elements 203 are sealed with a thermosetting resin composition 204. The upper surfaces of the elements 203 and the upper surface of the composition 204 are simultaneously polished, whereby almost the same surface is formed on the elements 203 and the composition 204. As the upper surfaces of the elements 203 are polished in a state that the elements 203 are sealed with the composition 204, the elements 203 can be thinned without damaging the elements 203. Moreover, a contamination of the elements 203 and the patterns 201 due to an abrasive liquid can be prevented.



[Date of request for examination]

28.08.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-332654
(P2001-332654A)

(43) 公開日 平成13年11月30日 (2001.11.30)

(51) Int. CL ⁷	識別記号	F I	テームコード (参考)
H 0 1 L 23/12		H 0 1 L 21/56	E
21/56		21/60	3 1 1 Q
21/60	3 1 1		3 1 1 S
		23/28	J
23/28		H 0 3 H 3/08	

審査請求 未請求 請求項の数34 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願2001-56535(P2001-56535)
(22) 出願日 平成13年3月1日 (2001.3.1)
(31) 優先権主張番号 特願2000-76093(P2000-76093)
(32) 優先日 平成12年3月17日 (2000.3.17)
(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72) 発明者 中谷 誠一
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72) 発明者 別所 芳宏
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(74) 代理人 100095555
弁理士 池内 寛幸 (外5名)

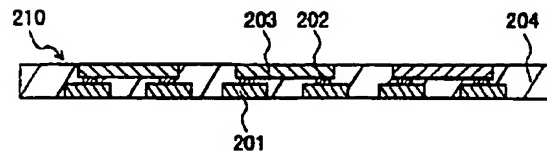
最終頁に続く

(54) 【発明の名称】 電気素子内蔵モジュール及びその製造方法

(57) 【要約】

【課題】 機械的強度を備えながら薄型化することが可能な、半導体チップや弾性表面波素子などの電気素子を内蔵したモジュール及びその製造方法を提供する。

【解決手段】 配線パターン201に、2以上の電気素子203を実装し、電気素子203を熱硬化性樹脂組成物204で封止する。2以上の電気素子203の上面と熱硬化性樹脂組成物204の上面とを同時に研磨することにより略同一面を形成する。熱硬化性樹脂組成物204で封止した状態で研磨するので、電気素子203を損傷することなく、薄型化できる。また、研磨液による電気素子203や配線パターン201の汚染を防止できる。



【特許請求の範囲】

【請求項1】 配線パターンと、前記配線パターンに実装された2以上の電気素子と、前記電気素子を封止する熱硬化性樹脂組成物とを備え、前記2以上の電気素子の上面と前記熱硬化性樹脂組成物の上面とが略同一面を形成していることを特徴とする電気素子内蔵モジュール。

【請求項2】 前記電気素子のうちの少なくとも一つは、前記配線パターン側の面に機能部と接続電極とを備え、前記接続電極は前記配線パターンに接続されている請求項1に記載の電気素子内蔵モジュール。

【請求項3】 前記電気素子のうちの少なくとも一つが、半導体チップ、チップ抵抗、チップコンデンサ、及びチップインダクタからなる群から選ばれた少なくとも一種である請求項1に記載の電気素子内蔵モジュール。

【請求項4】 前記電気素子のうちの少なくとも一つが、弾性表面波素子である請求項1に記載の電気素子内蔵モジュール。

【請求項5】 前記弾性表面波素子は前記配線パターン側の面に、機能部と、前記機能部における弾性表面波の励振及び伝搬が阻害されないようにするための空間保持構造とを有する請求項4に記載の電気素子内蔵モジュール。

【請求項6】 前記空間保持構造が、フィルム状樹脂組成物からなる請求項5に記載の電気素子内蔵モジュール。

【請求項7】 前記略同一面を形成する前記2以上の電気素子の上面及び前記熱硬化性樹脂組成物の上面の表面粗さRzがいずれも0.5 μ m \sim 50 μ mである請求項1に記載の電気素子内蔵モジュール。

【請求項8】 前記熱硬化性樹脂組成物が、無機フィラーと熱硬化性樹脂とからなる請求項1に記載の電気素子内蔵モジュール。

【請求項9】 前記熱硬化性樹脂の主成分がエポキシ樹脂、フェノール樹脂もしくはシアネート樹脂である請求項8に記載の電気素子内蔵モジュール。

【請求項10】 前記無機脂質フィラーが、Al₂O₃、MgO、BN、AlN、及びSiO₂からなる群から選ばれた少なくとも一種である請求項8に記載の電気素子内蔵モジュール。

【請求項11】 前記配線パターンは、回路基板の表面に形成されている請求項1に記載の電気素子内蔵モジュール。

【請求項12】 前記配線パターンは、支持体の表面に形成されている請求項1に記載の電気素子内蔵モジュール。

【請求項13】 前記支持体が、有機フィルム又は金属箔からなる請求項12に記載の電気素子内蔵モジュール。

【請求項14】 前記電気素子のうちの少なくとも一つは、バンパを介して前記配線パターンと接続されている請求項1に記載の電気素子内蔵モジュール。

【請求項15】 配線パターン上に、一方の面に機能部と接続電極とを備えた少なくとも一つの電気素子を、前記一方の面側を前記配線パターン側にして実装する工程と、

前記電気素子を、前記電気素子の他方の面側から、熱硬化性樹脂組成物で封止する工程と、

10 前記電気素子の他方の面側から研削又は研磨する工程とを有することを特徴とする電気素子内蔵モジュールの製造方法。

【請求項16】 前記電気素子の接続電極にバンパが形成されており、

前記バンパと導電性接着剤とを用いて前記電気素子を前記配線パターン上に実装する請求項15に記載の電気素子内蔵モジュールの製造方法。

【請求項17】 前記電気素子の接続電極にバンパが形成されており、

20 前記バンパと導電性フィラーを分散させたシートとを用いて、前記電気素子を前記配線パターン上に実装する請求項15に記載の電気素子内蔵モジュールの製造方法。

【請求項18】 前記電気素子の接続電極にバンパが形成されており、

前記バンパと前記配線パターンとを超音波接続することにより、前記電気素子を前記配線パターン上に実装する請求項15に記載の電気素子内蔵モジュールの製造方法。

【請求項19】 前記電気素子を前記配線パターン上に実装する工程の後であって、前記電気素子を前記熱硬化性樹脂組成物で封止する工程の前に、

前記電気素子と前記配線パターンとの間に樹脂を注入し硬化させる工程を更に有する請求項15に記載の電気素子内蔵モジュールの製造方法。

【請求項20】 前記電気素子の前記熱硬化性樹脂組成物による封止を、

前記熱硬化性樹脂組成物からなる未硬化状態のシート状物を前記電気素子の他方の面上に重ねた後、加熱加圧することにより行なう請求項15に記載の電気素子内蔵モジュールの製造方法。

【請求項21】 前記電気素子の前記熱硬化性樹脂組成物による封止を、

前記熱硬化性樹脂組成物からなる未硬化状態のペースト状物を前記電気素子の他方の面側から真空又は減圧下で付与した後、加熱することにより行なう請求項15に記載の電気素子内蔵モジュールの製造方法。

【請求項22】 前記加熱を大気圧以上の圧力下で行なう請求項21に記載の電気素子内蔵モジュールの製造方法。

50 【請求項23】 前記熱硬化性樹脂組成物が少なくとも

熱硬化性樹脂を含み、前記加熱温度が、前記熱硬化性樹脂の硬化開始温度以下である請求項20又は21に記載の電気素子内蔵モジュールの製造方法。

【請求項24】 前記熱硬化性樹脂組成物が、少なくとも無機フィラー70～95重量%と熱硬化性樹脂5～30重量%とを含む請求項15に記載の電気素子内蔵モジュールの製造方法。

【請求項25】 前記研削又は研磨する工程の後、所望する形状に分割する工程を更に有する請求項15に記載の電気素子内蔵モジュールの製造方法。

【請求項26】 前記配線パターンは、回路基板の表面に形成されている請求項15に記載の電気素子内蔵モジュールの製造方法。

【請求項27】 前記配線パターンは、支持体の表面に形成されている請求項15に記載の電気素子内蔵モジュールの製造方法。

【請求項28】 前記支持体が、有機フィルム又は金属箔からなる請求項27に記載の電気素子内蔵モジュールの製造方法。

【請求項29】 前記研削又は研磨する工程の後に、前記支持体を剥離する工程を更に有する請求項27に記載の電気素子内蔵モジュールの製造方法。

【請求項30】 前記支持体を剥離する工程の後に、剥離によって露出した前記配線パターン側の面に、導電性ペーストが充填された厚さ方向の貫通孔を備えた回路基板用ブリブレッグと、金属箔とをこの順に積層し、加熱加圧した後、前記金属箔をエッチングして配線パターンを形成する工程を更に有する請求項29に記載の電気素子内蔵モジュールの製造方法。

【請求項31】 前記電気素子を熱硬化性樹脂組成物で封止する工程の後であって、前記研削又は研磨する工程の前に、前記支持体を剥離する工程と、

剥離によって露出した前記配線パターン側の面に、導電性ペーストが充填された厚さ方向の貫通孔を備えた回路基板用ブリブレッグと、金属箔とをこの順に積層し、加熱加圧した後、前記金属箔をエッチングして配線パターンを形成する工程と

を更に有する請求項27に記載の電気素子内蔵モジュールの製造方法。

【請求項32】 前記金属箔をエッチングして配線パターンを形成する工程の後に、

前記エッチングして得た配線パターン側の面に、導電性ペーストが充填された厚さ方向の貫通孔を備えた回路基板用ブリブレッグと、第2金属箔とをこの順に積層し、加熱加圧した後、前記第2金属箔をエッチングして第2配線パターンを形成する工程を更に少なくとも一回以上有する請求項30又は31に記載の電気素子内蔵モジュールの製造方法。

【請求項33】 前記電気素子と前記熱硬化性樹脂組成

物とを同時に研削又は研磨して、両者を略同一高さとする請求項15に記載の電気素子内蔵モジュールの製造方法。

【請求項34】 前記研削又は研磨する工程を、研磨剤を用いた研磨法により行なう請求項15に記載の電気素子内蔵モジュールの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体チップや弾性表面波素子などの電気素子を内蔵したモジュールに関する。特に、極薄化が可能で、高密度実装に好適な電気素子内蔵モジュールに関する。また、本発明はこのような電気素子内蔵モジュールの製造方法に関する。

【0002】

【従来の技術】近年、電子機器の高性能化、小型化の要求に伴い、半導体チップを実装したパッケージの高密度化、高機能化が一層叫ばれている。更に、それらを実装するための回路基板もまた小型高密度なものが望まれている。これらの要求に対し、従来のドリルによる貫通スルーホール構造を有するガラス繊維とエポキシ樹脂とからなる多層基板（ガラス・エポキシ多層基板）では高密度実装化への対応が困難になりつつある。そこで、従来のガラス・エポキシ多層基板に代わり、貫通スルーホールではなく、インナビアホール接続が可能な回路基板の開発が活発に行われている（例えば、特開平6-268345号公報、特開平7-147464号公報など）。

【0003】しかし、これらのインナビアホール構造の高密度実装基板であっても、半導体チップの微細化ルールには追いついていないのが現状である。例えば、半導体チップの微細配線化に伴い、取り出し電極ピッチは50μm程度に微細化しているにも関わらず、回路基板の配線ピッチやビアホールピッチは100μm程度である。このため、半導体チップからの電極取り出しスペースが大きくなってしまい、半導体パッケージの小型化を阻害する要因となっている。

【0004】また、回路基板は、樹脂系の材料で構成されるため、熱伝導度が低い。従って、部品実装が高密度になればなるほど、部品からの発生する熱を放熱させることは困難となる。2000年の予測では、CPUのクロック周波数が1GHz程度になるといわれており、その機能の高度化とあいまってCPUの消費電力も1チップ当たり100～150Wに達すると予測されている。

【0005】また、高速化、高密度化に伴いノイズの影響も避けて通れなくなりつつある。

【0006】従って、回路基板は更なる微細化による高密度化、高機能化に加え、対ノイズ特性、放熱特性をも考慮したものでなければならない。

【0007】一方、このような半導体チップの小型化に対応する形態として、チップサイズパッケージ（CSP）が提案されている。CSPは、半導体チップを、裏

面にグリッド状電極を2次元的に配列形成したインターポーザと呼ばれる回路基板上にフリップチップ実装し、半導体チップの電極とグリッド状電極とを回路基板内のビアホールを介して接続したものである。これにより、半導体チップの100 μ mピッチ以下で形成された電極を、0.5~1.0mmピッチ程度のグリッド状電極から取り出すことができ、取り出し電極ピッチの拡大化が可能になる。

【0008】この結果、CSPを搭載する回路基板にはそれほど微細化が必要ではなくなり、安価なものが利用できる。さらに、CSPを、検査済の信頼性が保証された半導体パッケージのように扱うことができるという利点を持つ。この結果、半導体ベアチップをそのまま直接回路基板に実装するベアチップ工法に比べ、ベアチップ実装の利点である小型化を享受しながら、チップの破損、不良素子の検査、及び信頼性確保のために要するコストを低減できる。

【0009】このようなCSPなどの開発により半導体パッケージの小型化が進められている。

【0010】

【発明が解決しようとする課題】一方、インターネットの発達により情報をパーソナルに扱えるモバイルパーソナルコンピュータや、携帯電話に代表される情報端末などにおいては、益々小型、薄型の機器が望まれている。その代表的なものとして特にカードサイズの情報端末が挙げられる。例えば、カードサイズの無線機器や、携帯電話、個人識別カード、音楽配信用メモリーカードなど現在のクレジットカード以外の用途展開が発展するものと思われる。従って、このようなカードサイズの情報端末に実装できる薄型の半導体パッケージや能動部品の出現が強く望まれている。

【0011】半導体パッケージの薄型化に対して上記のCSPを利用した場合、半導体チップの厚み(0.4mm程度)及び回路基板であるインターポーザの厚みに、フリップチップ実装であればバンパ高さ、ワイヤーボンディングであればワイヤ高さと封止樹脂厚みが加算され、結果的に厚さ0.7mm程度になってしまう。カードサイズ機器に要求される全体厚さは0.3~1.0mm程度であるので、より薄い半導体パッケージが必要である。

【0012】半導体パッケージの薄型化の手段として、TAB(テープオートマチックボンディング)実装がある。ポリイミドなどのテープ状フィルムに開放部と銅箔による配線パターンとを形成し、開放部に半導体チップを搭載し、開放部に突出した電極を直接半導体チップの電極にボンディング(インナーリードボンディング)する。電極の取り出しは、同様にテープから突出した電極を回路基板に接続(アウターリードボンディング)することで行なう。これによりテープ厚み(100 μ m程度)と同程度の厚みの半導体パッケージが得られる。場

合によっては、このTAB実装品を多段に重ねて実装する形態も提案されている。

【0013】いずれの方法でも半導体チップはできるだけ薄い方がよいことはいうまでもないが、100 μ m以下の半導体チップ(特にシリコン半導体)は機械的強度が弱く、実装時に荷重が付加されるフリップチップ実装では半導体チップが破壊される場合がある。また、半導体ウエハを研磨により薄くすると、機械的強度が低下し、その後のダイシング時などにウエハ割れが発生しやすくなる。一方、ダイシング後の小さな半導体チップを研磨して薄くするのは極めて困難で経済的にも効率的ではない。

【0014】一方、半導体チップの薄型化手法として、先ダイシング法がある。先ダイシング法とは、半導体ウエハの段階で一方の面からウエハ厚みの途中までダイシングしておき、その後、他方の面からダイシングされた部分まで研磨する方法である。この方法であれば、研磨した後、自動的に裁断された半導体チップが得られる。しかしながらこの方法でも、個々の半導体チップは薄い

ため、荷重を付与することができず、実装時の取り扱いが難しい。

【0015】また、携帯電話等においては、特定の周波数成分を抽出するためのフィルタを構成する部品として弾性表面波素子が用いられている。

【0016】図7は、フィルタ機能を有する2つの弾性表面波素子を含む従来の弾性表面波素子内蔵モジュールの構造の一例を示す断面図である。これは、例えば、携帯電話などの無線部に使用されるアンテナ共用器などとして使用される。

【0017】図7において、601は弾性表面波素子、602は圧電基板、603は櫛形電極、604は引き出し電極、605は金属バンパ、607は回路基板、609は第1の配線パターン、610は第2の配線パターン、611はビアホール、612は蓋、613は封止体、614は内蔵回路、615は凹部である。

【0018】弾性表面波素子601は、例えば、タンタル酸リチウム、ニオブ酸リチウム、又は水晶などからなる圧電基板602の一方の面上に、アルミニウムを主成分とする金属膜などからなる櫛形電極603と、引き出し電極604とが形成されている。引き出し電極604上には、外部との電気接続を行うための金属バンパ605が形成されている。

【0019】回路基板607には、一方の面に第1の配線パターン609が、他方の面に第2の配線パターン610が、内部に内蔵回路614が、それぞれ形成されている。第1の配線パターン609と第2の配線パターン610と内蔵回路614とはビアホール611で接続される。これらを介して図7のモジュールに内蔵された複数の弾性表面波素子601と外部回路との接続等が行な

われる。回路基板607は、弾性表面波素子601を実

装するための空間を確保するために、中央部に凹部615を有する。

【0020】弾性表面波素子601を回路基板607上に位置合わせして載置した後、第1の配線パターン609と金属バンプ605とを電気的に接続する。金属バンプ605として金バンプを用いた場合には、熱と超音波を併用することにより金属バンプ605を溶融させて接続する。あるいは、導電性接着剤を用いて接続する場合もある。また、金属バンプ605として半田バンプを用いた場合には、半田バンプをリフローすることにより接続する。

【0021】弾性表面波素子601は外界雰囲気の影響に敏感なデバイスであるため、最後に、例えば金属板からなる蓋612と半田や接着剤などの封止体613とにより、回路基板607の凹部615を気密封止する。このようにして、アンテナ共用器などに使用される弾性表面波素子内蔵モジュールを得る。

【0022】上記において、弾性表面波素子601を構成する圧電基板602として、通常0.3mm~0.4mmの厚さを有するウエハが使用される。従って、従来の弾性表面波素子内蔵モジュールの厚さは1mm程度となり、携帯電話に代表される電子機器の薄型化の妨げとなっていた。

【0023】近年の移動体通信機器のめざましい進展とともに、さらに薄型のモジュールが必須とされ、前記圧電基板602を薄板化することへの要求が高まってきている。しかしながら、圧電基板602として使用されるタンタル酸リチウムなどの単結晶材料は、脆性材料であり割れやすいため、圧電基板602の表面に櫛形電極を形成するフォトリソ工程におけるウエハ搬送や、回路基板607上への実装工程における素子単位の取り扱いなどにおいて、例えば0.2mm程度の薄い圧電基板602を使用することは、實際上非常に困難となっていた。さらに、弾性表面波素子601においては、櫛形電極603が形成された面（機能部側の面）とは反対側の面（非機能部側の面）を粗化し、非機能部側の面からの弾性波の反射による特性劣化を防止する手法が一般的に用いられている。圧電基板602を薄板化しようとする

と、この非機能部側の面の粗化加工時にも、ウエハ割れを生じやすくなる。このように、従来の構成では弾性表面波素子を用いた部品内蔵モジュールの薄型化は困難であった。

【0024】本発明は、上記の従来の問題点を解決し、薄く、かつ機械的強度を備えた、半導体チップや弾性表面波素子などの電気素子が内蔵されたモジュールを提供することを目的とする。また、本発明は、このような電気素子内蔵モジュールを効率よく製造する方法を提供することを目的とする。

【0025】

【課題を解決するための手段】本発明は上記の目的を達

成するための以下の構成とする。

【0026】本発明に係る電気素子内蔵モジュールは、配線パターンと、前記配線パターンに実装された2以上の電気素子と、前記電気素子を封止する熱硬化性樹脂組成物とを備え、前記2以上の電気素子の上面と前記熱硬化性樹脂組成物の上面とが略同一面を形成していることを特徴とする。

【0027】これによれば、電気素子が熱硬化性樹脂組成物で封止されているので、機械的強度が向上する。また、このようなモジュールは、電気素子の上面と熱硬化性樹脂組成物の上面とを同時に所望する厚さまで研削又は研磨等で加工することにより得ることができる。その際、電気素子が熱硬化性樹脂組成物によって封止されているので、加工時の外力によって電気素子が損傷を受けることがない。かくして、機械的強度を備えた薄型の電気素子内蔵モジュールを提供することができる。また、2以上の電気素子を含むことにより、高密度実装されたモジュールが実現できる。更に、電気素子毎に分割することで、機械的強度を備えた薄型の電気素子内蔵パッケージを提供できる。

【0028】上記の電気素子内蔵モジュールにおいて、前記電気素子のうちの少なくとも一つ（より好ましくは全て）は、前記配線パターン側の面に機能部と接続電極とを備え、前記接続電極は前記配線パターンに接続されていることが好ましい。これにより、電気素子の配線パターン側とは反対側の面（非機能部側の面）を研削又は研磨できる。従って、所望する厚さの薄型のモジュールを提供できる。

【0029】また、上記の電気素子内蔵モジュールにおいて、前記電気素子のうちの少なくとも一つが、半導体チップ、チップ抵抗、チップコンデンサ、及びチップインダクタからなる群から選ばれた少なくとも一種であっても良い。

【0030】あるいは、上記の電気素子内蔵モジュールにおいて、前記電気素子のうちの少なくとも一つが、弾性表面波素子であっても良い。

【0031】電気素子として弾性表面波素子を用いる場合、前記弾性表面波素子は前記配線パターン側の面に、機能部と、前記機能部における弾性表面波の励振及び伝搬が阻害されないようにするための空間保持構造とを有することが好ましい。弾性表面波素子の機能部側の面を配線パターン側とすることで、非機能部側の面を研削又は研磨できる。従って、所望する厚さの薄型のモジュールを提供できる。また、空間保持構造を備えることで、機能部と配線パターンとの間にも樹脂を充填することができ、機械的強度を向上させることができる。従って薄型化のための加工時の外力による損傷を防止できる。

【0032】前記空間保持構造は、フィルム状樹脂組成物からなることが好ましい。これにより、封止用の樹脂との密着性が向上し、信頼性の高いモジュールを得るこ

とができる。

【0033】また、上記の電気素子内蔵モジュールにおいて、前記2以上の電気素子の上面の表面粗さ R_z がいずれも $0.5\mu\text{m}\sim 50\mu\text{m}$ であることが好ましい。更には、前記略同一面を形成する前記2以上の電気素子の上面及び前記熱硬化性樹脂組成物の上面の表面粗さ R_z がいずれも $0.5\mu\text{m}\sim 50\mu\text{m}$ であることが好ましい。ここで、表面粗さ R_z とは、十点平均粗さを意味する。表面粗さ R_z が $0.5\mu\text{m}$ 未満では、前記上面の加工によって、電気素子と配線パターンとの接続部が破壊されたり、電気素子と樹脂組成物との界面にクラックを生じたりする。また、表面粗さ R_z が $50\mu\text{m}$ を越えると、電気素子に割れやクラックが生じる。更に、電気素子として弾性表面波素子を用いた場合には、表面粗さ R_z が上記の範囲を外れると周波数特性が劣化する。

【0034】また、上記の電気素子内蔵モジュールにおいて、前記熱硬化性樹脂組成物が、無機フィラーと熱硬化性樹脂とからなることが好ましい。無機フィラーと熱硬化性樹脂との選択により、所望の性能を有するモジュールを実現できる。

【0035】前記熱硬化性樹脂の主成分はエポキシ樹脂、フェノール樹脂もしくはシアネート樹脂であることが好ましい。これらの樹脂は、耐熱性、絶縁信頼性などが優れるからである。

【0036】また、前記無機フィラーは、 Al_2O_3 、 MgO 、 BN 、 AlN 、及び SiO_2 からなる群から選ばれた少なくとも一種であることが好ましい。モジュールの各種の性能を確保できるからである。無機フィラーの材料を変えることで、熱硬化性樹脂組成物の熱膨張係数、熱伝導度、誘電率などを制御することが可能となる。 Al_2O_3 を用いた場合は熱膨張係数を小さくでき、かつ熱伝導性に優れたモジュールが実現できる。 SiO_2 を用いた場合は誘電率を制御でき、熱膨張係数も小さくできる。その他 AlN 、 MgO 、 BN などを選択することにより、さらに熱伝導性に優れたモジュールが実現できる。

【0037】例えば、樹脂組成物の熱膨張係数を電気素子の熱膨張係数とほぼ同じにすることにより、温度変化によるクラックや接続信頼性の低下を防止できる。また、樹脂組成物の熱伝導度を向上させることにより、電子部品が放熱を必要とする半導体チップである場合に、放熱特性を向上させることができる。また、樹脂組成物の誘電率を低くすることにより、高周波における損失を低下させることができる。なお、本発明のモジュールでは、配線パターンの、封止された前記電気素子とは反対側にも別の電気素子などを実装することができ、そのような場合には、該別の電気素子の要求特性に応じて、熱硬化性樹脂組成物中の無機フィラーを選択することもできる。

【0038】また、上記の電気素子内蔵モジュールにお

いて、前記配線パターンは、回路基板の表面に形成されていても良い。これにより、薄い電気素子が実装された回路基板を効率よく得ることができる。

【0039】あるいは、前記配線パターンは、支持体の表面に形成されていても良い。支持体を剥離することにより、配線基板等に実装可能な電気素子内蔵パッケージが得られる。または、露出した配線パターン上に他の電気素子などを実装することもできる。

【0040】この場合において、前記支持体が、有機フィルム又は金属箔からなることが好ましい。

【0041】また、上記の電気素子内蔵モジュールにおいて、前記電気素子のうちの少なくとも一つは、バンパを介して前記配線パターンと接続されていることが好ましい。これにより効率的に信頼性の高い電氣的接続が得られる。

【0042】次に、本発明の電気素子内蔵モジュールの製造方法は、配線パターン上に、一方の面に機能部と接続電極とを備えた少なくとも一つの電気素子を、前記一方の面側を前記配線パターン側にして実装する工程と、前記電気素子を、前記電気素子の他方の面側から、熱硬化性樹脂組成物で封止する工程と、前記電気素子の他方の面側から研削又は研磨する工程とを有することを特徴とする。

【0043】これによれば、厚い電気素子を実装し、熱硬化性樹脂組成物で封止した後に非機能部側の面から研削又は研磨する。電気素子は樹脂組成物で補強されるので、研削又は研磨時に電気素子に加わる機械的衝撃や荷重を緩和することができる。従って、電気素子を破壊することなく、薄い電気素子内蔵モジュールが得られる。また、研削又は研磨時に電気素子は樹脂組成物で封止されているので電気素子や電氣的接続部の汚染を防止できる。

【0044】上記の電気素子内蔵モジュールの製造方法において、前記電気素子の接続電極にバンパが形成されており、前記バンパと導電性接着剤とを用いて前記電気素子を前記配線パターン上に実装することが好ましい。これにより、半田による接続の場合より低温で処理が行える。

【0045】あるいは、上記の電気素子内蔵モジュールの製造方法において、前記電気素子の接続電極にバンパが形成されており、前記バンパと導電性フィラーを分散させたシートとを用いて、前記電気素子を前記配線パターン上に実装しても良い。これにより、電気素子と配線パターンとの間に封止樹脂を充填する工程が不要になる。また、微細な接続ピッチにも対応できる。

【0046】あるいは、上記の電気素子内蔵モジュールの製造方法において、前記電気素子の接続電極にバンパが形成されており、前記バンパと前記配線パターンとを超音波接続することにより、前記電気素子を前記配線パターン上に実装しても良い。これにより、電気素子に対

する熱負荷を減少させることができる。

【0047】また、上記の電気素子内蔵モジュールの製造方法において、前記電気素子を前記配線パターン上に実装する工程の後であって、前記電気素子を前記熱硬化性樹脂組成物で封止する工程の前に、前記電気素子と前記配線パターンとの間に樹脂を注入し硬化させる工程を更に有することが好ましい。これにより、電気素子と配線パターンとの接続部を封止樹脂（いわゆるアンダーフィル）で保護することができる。また、この後の熱硬化性樹脂組成物で封止する工程で加えられる圧力によって電気素子や接続部が損傷するのを防止できる。

【0048】また、上記の電気素子内蔵モジュールの製造方法において、前記電気素子の前記熱硬化性樹脂組成物による封止を、前記熱硬化性樹脂組成物からなる未硬化状態のシート状物を前記電気素子の他方の面上に重ねた後、加熱加圧することにより行なうことができる。これにより、簡単な工程で電気素子を熱硬化性樹脂組成物で封止することができる。

【0049】あるいは、上記の電気素子内蔵モジュールの製造方法において、前記電気素子の前記熱硬化性樹脂組成物による封止を、前記熱硬化性樹脂組成物からなる未硬化状態のペースト状物を前記電気素子の他方の面側から真空又は減圧下で付与した後、加熱することにより行なうこともできる。ペースト状物の付与を真空又は減圧下で行なうことにより、細部にまでペースト状物を行きわたらせることができる。

【0050】ペースト状物を付与した後の前記加熱を大気圧以上の圧力下で行なうことが好ましい。これにより、熱硬化性樹脂組成物中のボイドを少なくすることができる。

【0051】上記において、未硬化状態のシート状物を電気素子の他方の面上に重ね、加熱加圧して電気素子を封止する際の加熱温度は、前記樹脂組成物中に含まれる熱硬化性樹脂の硬化開始温度以下であることが好ましい。これにより、加圧時の圧力を小さくできる。また、熱硬化性樹脂が硬化する前段階の状態にしておくことで、後工程の研削又は研磨が容易になる。

【0052】同様に、未硬化状態のペースト状物を電気素子の他方の面側から付与し、加熱して電気素子を封止する際の加熱温度は、前記樹脂組成物中に含まれる熱硬化性樹脂の硬化開始温度以下であることが好ましい。これにより、樹脂組成物中にボイドが残存するのを抑えることができる。また、熱硬化性樹脂が硬化する前段階の状態にしておくことで、後工程の研削又は研磨が容易になる。

【0053】また、上記の電気素子内蔵モジュールの製造方法において、前記熱硬化性樹脂組成物が、少なくとも無機フィラー70～95重量%と熱硬化性樹脂5～30重量%を含むことが好ましい。高濃度に含有される無機フィラーの種類を目的に応じて選択することで、所

望の性能を有するモジュールが得られる。例えば、樹脂組成物の熱膨張係数を電気素子の熱膨張係数にほぼ一致させることで、耐温度変化特性に優れたモジュールを得ることができる。また、樹脂組成物の放熱特性を向上させることで、発熱の大きな電気素子に適したモジュールを得ることができる。また、低誘電率の無機フィラーを使用することで、高周波特性に優れたモジュールを得ることができる。

【0054】また、上記の電気素子内蔵モジュールの製造方法において、前記研削又は研磨する工程の後、所望する形状に分割する工程を更に有していても良い。大きなサイズで薄く加工した後、分割するので、薄型で安価の電気素子パッケージを効率よく作製できる。

【0055】また、上記の電気素子内蔵モジュールの製造方法において、前記配線パターンは、回路基板の表面に形成されていても良い。これにより、薄い電気素子が実装された回路基板を効率よく得ることができる。

【0056】あるいは、上記の電気素子内蔵モジュールの製造方法において、前記配線パターンは、支持体の表面に形成されていても良い。ここで、前記支持体として、有機フィルム又は金属箔を用いることができる。

【0057】この場合に、前記研削又は研磨する工程の後に、前記支持体を剥離する工程を更に有していても良い。支持体を剥離することで、回路基板に実装可能な電気素子内蔵パッケージを得ることができる。あるいは、剥離によって露出した配線パターン上に他の電気素子などを実装することができる。また、研削又は研磨工程後に支持体を剥離するので、研削又は研磨工程時に電気素子や配線パターンが汚染されるのを防止できる。

【0058】前記支持体を剥離する工程の後に、剥離によって露出した前記配線パターン側の面に、導電性ペーストが充填された厚さ方向の貫通孔を備えた回路基板用ブリブと、金属箔とをこの順に積層し、加熱加圧した後、前記金属箔をエッチングして配線パターンを形成する工程を更に有していても良い。これにより、インナービアホールを備えた多層構造のモジュールを得ることができる。

【0059】あるいは、前記電気素子を熱硬化性樹脂組成物で封止する工程の後であって、前記研削又は研磨する工程の前に、前記支持体を剥離する工程と、剥離によって露出した前記配線パターン側の面に、導電性ペーストが充填された厚さ方向の貫通孔を備えた回路基板用ブリブと、金属箔とをこの順に積層し、加熱加圧した後、前記金属箔をエッチングして配線パターンを形成する工程とを更に有していても良い。これによっても、インナービアホールを備えた多層構造のモジュールを得ることができる。

【0060】更に、前記金属箔をエッチングして配線パターンを形成する工程の後に、前記エッチングして得た配線パターン側の面に、導電性ペーストが充填された厚

さ方向の貫通孔を備えた回路基板用ブリブレジストと、第2金属箔とをこの順に積層し、加熱加圧した後、前記第2金属箔をエッチングして第2配線パターンを形成する工程を少なくとも一回以上有していても良い。これによりインナービアホールを備えた更に多層構造のモジュールを得ることができる。

【0061】また、上記の電気素子内蔵モジュールの製造方法において、前記電気素子と前記熱硬化性樹脂組成物とを同時に研削又は研磨して、両者を略同一高さとするのが好ましい。両者を同時に研削又は研磨することで、容易に薄型のモジュールを得ることができる。また、研削又は研磨時に電気素子や、電気素子と配線パターンとの接続部などが損傷を受けるのを防止できる。

【0062】また、上記の電気素子内蔵モジュールの製造方法において、前記研削又は研磨を、研磨剤を用いた研磨法により行なうことが好ましい。これにより、半導体チップの製造工程で一般的に使用されるラッピング工程をそのまま本発明の製造方法に適用できるので、既存の設備が利用できる。

【0063】

【発明の実施の形態】以下、本発明のよる電気素子内蔵モジュール及びその製造方法を図面を用いて説明する。

【0064】（実施の形態1）図1は、電気素子として半導体チップを内蔵した本発明の実施の形態1にかかる電気素子内蔵モジュールの構成を示す断面図である。図1において、204は無機フィラーと熱硬化性樹脂とからなる混合樹脂組成物、203は樹脂組成物204で封止され一体化された半導体チップ、201は配線パターン、202は金属バンプ、210は本実施の形態1の半導体チップ内蔵モジュールである。

【0065】半導体チップ203は一方の面側に、その機能を発揮する機能部を備え、機能部が形成された側の面に電極パッド（接続電極）が形成される。半導体チップ203の電極パッド上にはバンプ202が形成される。バンプ202は、配線パターン201と接続されており、半導体チップ203に対する信号の入出力が可能になる。

【0066】半導体チップ203の機能部とは反対側の面と、半導体チップ203を封止し埋設する混合樹脂組成物204の上面とは、同時に研削又は研磨加工されることにより略同一面を形成している。これにより、全体の厚みを薄くすることができる。

【0067】図1のように半導体チップ203を内蔵し、かつ上面を研削又は研磨加工により薄くできるので、メモリーカードなど薄い製品に適した、薄型で高密度なモジュールとなる。

【0068】混合樹脂組成物204を構成する熱硬化性樹脂としては、例えばエポキシ樹脂、フェノール樹脂、シアネート樹脂を使用することができる。また、分散含有させる無機フィラーとしては、 Al_2O_3 、 MgO 、 B

N 、 AlN 、 SiO_2 を使用することができる。また、必要であれば、無機フィラーと熱硬化性樹脂の混合物にさらにカップリング剤、分散剤、着色剤、離型剤を添加することも可能である。

【0069】半導体チップ203としては、シリコン半導体素子、バイポーラ素子、MOS素子などに限らず、機械的強度が弱いシリコンゲルマニウム半導体素子、ガリウム砒素半導体素子なども利用できる。

【0070】配線パターン201としては、銅箔が利用でき、更にその表面にニッケルや金のめっきが施してあると、半導体チップ203上の金属バンプ202との安定な電気接続が得られるので好ましい。

【0071】金属バンプ202としては、金バンプが利用でき、ワイヤーボンディング法で作製した2段突起バンプ、もしくは金めっきしたバンプが使用できる。

【0072】次に、上記半導体チップ内蔵モジュールの具体的な製造方法を図2A～図2Fを参照しながら説明する。

【0073】図2A～図2Fは図1に示した半導体チップ内蔵モジュールの製造方法を工程順に示した断面図である。

【0074】まず最初に、図2Aに示すように、配線パターン201を表面に形成した、金属箔からなる支持体（キャリア）200を用意する。支持体200としては、搬送性や適度な接着強度を有する50～100 μm 厚みの銅箔を用いることができる。

【0075】具体的な作製方法は以下の通りである。まず、金属箔からなる支持体200の表面にさらに銅を所望の厚みだけメッキする。支持体200上の銅メッキ層の厚みは、配線パターンの微細の程度に応じて調整するのが良い。100 μm ピッチの微細配線パターンを形成する場合は銅メッキ層の厚さは5～9 μm 、それほど微細でない場合は12～24 μm 程度で良い。

【0076】次いで、支持体200上の銅メッキ層を既存の方法でエッチングし、配線パターン201を形成する。この時、エッチングは銅メッキ層だけか、もしくは支持体200の表面の一部と一緒にエッチングしてもよい。いずれの場合であっても、最終的にモジュール側に転写されるのは配線パターン201となる銅メッキ層だけだからである。

【0077】支持体200として金属箔を用いるのが最適な理由は、後に半導体チップを熱硬化性樹脂組成物中に埋設する工程において、配線パターン201が樹脂の流動により、動くことがないからである。

【0078】このようにして作製された配線パターン201付支持体200上に、図2Bに示すように、半導体チップ203を実装する。半導体チップ203は一方の面側に機能部と電極とが形成されている。半導体チップ203は、機能部側の面を配線パターン201側に向けて、金などの金属バンプ202を介して、配線パターン

201上に実装される。実装の方法は、金属バンプ202上に導電性ペーストを転写して接続する方法でも良いが、半田を用いて実装してもよい。

【0079】次に、図2Cに示すように、半導体チップ203上に、無機フィラーと熱硬化性樹脂からなる、未硬化状態の混合樹脂組成物からなるシート状物204を、位置合わせして重ねる。

【0080】熱硬化性樹脂組成物のシート状物204は以下のようにして得る。

【0081】まず、無機フィラーと液状の熱硬化性樹脂とを混合してペースト状混練物を作製するか、又は無機フィラーに溶剤で低粘度化した熱硬化性樹脂を混合して同様にペースト状混練物を作製する。

【0082】次に、ペースト状混練物を一定厚みに成型し、熱処理することでシート状物を得る。熱処理するのは以下の理由からである。液状樹脂を用いた混練物では、粘着性があるため若干硬化を進め、未硬化状態で可撓性を維持しながら粘着性を除去するためである。また、溶剤により溶解させた樹脂を用いた混練物では、溶剤を除去し、同様に未硬化の状態で可撓性を保持しながら粘着性を除去するためである。

【0083】次に、半導体チップ203を実装した支持体200にシート状物204を重ねたものを加熱加圧して両者を一体化する。これにより、図2Dに示すように、半導体チップ203がシート状物204中に埋設され、かつシート状物204を構成する熱硬化性樹脂が硬化することにより、半導体チップ203の封止、およびシート状物204と配線パターン201との接着が行われる。このとき、シート状物204と配線パターン201との接着性を改善するため、配線パターン201を構成する銅メッキ層の、シート状物204との接触面を、粗化しておくことが望ましい。また、同様に接着性、酸化の防止のため、銅メッキ層表面をカップリング剤で処理したり、錫、亜鉛、ニッケル、金等をメッキしたりしても良い。

【0084】次に、図2Eに示すように、上記のようにして作製された半導体チップ203の埋設物を、支持体200とは反対側の面から所定の厚みになるまで研削又は研磨などによる除去加工を行なう。例えば、半導体チップを研磨する際の一般的手法である、研磨剤（遊離砥粒）を用いたラッピングをそのまま利用できる。半導体チップ203は既に実装され、しかもシート状物204で封止されているので、研磨時の衝撃による破損や研磨液による汚染はない。また反対面に支持体200が密着しているため、同様に汚染の心配がない。このように半導体チップ203を保護した状態で研削又は研磨を行なうことで、所望の厚みの半導体チップ内蔵モジュールが得られる。一般的な半導体チップ厚みは、0.4mm程度であるが、本方法によれば50μm程度の厚みにまで薄く加工することができる。

【0085】次に、図2Fに示すように、支持体200を剥離する。これにより、薄型の半導体チップ内蔵モジュール210が得られる。以上の方法により、極めて薄い半導体パッケージが形成できるという格別の効果がある。

【0086】更に、図3Aに示すように、隣り合う半導体チップ203の間の切断位置213でカットしても良い。かくして、図3Bに示すように、極めて薄いチップサイズパッケージが得られる。カットは、半導体チップを加工する時に使用するダイシング装置がそのまま利用できる。

【0087】上記態様において、図2Bのように半導体チップ203をフリップチップ実装した後、半導体チップ203と配線パターン201を形成した支持体200との間に封止樹脂（アンダーフィル）を注入し、硬化させることが好ましい。シート状物204を重ね半導体チップ203を埋設するとき、半導体チップ203に与えるダメージをより小さくすることができるからである。封止樹脂としては、既存のものが利用できる。例えば液状エポキシ樹脂に無機フィラーとしてのシリカ（酸化珪素）を分散含有させた樹脂を用いると、封止樹脂の熱膨張係数を半導体チップ203の熱膨張係数に合わせることができ、しかも水分などの吸収度合いを小さくできるので好ましい。

【0088】また、上記態様において、半導体チップ203を配線パターン201を有する支持体200上に実装する際、半導体チップ203と支持体200との間に導電性フィラーを分散させた接着シートを介在させた後、半導体チップ203と支持体200とを圧縮一体化させても良い。半導体チップ203に形成した金属バンプ202が接着シート内に嵌入し、金属バンプ202により加圧された部分においてのみ、接着シート内の導電性フィラーを介して金属バンプ202と配線パターン201とが電気的に接続される。しかも、半導体チップ203と支持体200との間の封止も同時に行なうことができる。これにより半導体チップ203の実装工程とアンダーフィルの注入工程とを一括して行なうことができ、工程が簡略化される。

【0089】また上記態様において、シート状物204を用いて半導体チップ203を埋設する加熱加圧工程を、シート状物204中の熱硬化性樹脂の硬化開始温度以下で行ない、研削又は研磨工程の後に更に加熱してシート状物204中の熱硬化性樹脂を硬化させるのが好ましい。シート状物204の硬化が完了する前に研削又は研磨する方が加工が容易になるからである。これにより研削又は研磨工程をより短時間で行うことができる。

【0090】また上記態様では、配線パターン201の材料として銅を用いた例を示したが、本発明はこれに限ることなく、例えばアルミ、ニッケル等の金属を用いても同様の効果が得られる。

【0091】また、上記態様では、支持体200として金属箔を用いた例を説明したが、本発明において支持体200はこれに限定されない。例えば、支持体200として有機フィルムを用いることができる。絶縁体である有機フィルムを用いることにより、シート状物204で半導体チップ203を封止する前の段階（即ち図2Bの状態）で、半導体チップ203の性能検査及び半導体チップ203と配線パターン201との接続良否検査を行なうことができる。また、有機フィルムであれば、剥離後再度別の配線パターンを形成して、再利用することができる。

【0092】支持体200用の有機フィルムの材料としては、ポリエチレン、ポリエチレンテレフタレート、ポリエチレンナフタレート、ポリフェニレンサルファイド、ポリイミド、ポリアミドなどを使用できる。これらの中からシート状物204を構成する熱硬化性樹脂の硬化温度に対応した耐熱温度を有する有機フィルムを選択すればよい。中でもポリフェニレンサルファイド、ポリイミド、ポリアミドは、特に耐熱性、寸法安定性、機械的強度の面で優れているので、本発明の支持体200用の有機フィルム材料として最適である。

【0093】支持体200として有機フィルムを用いた場合の配線パターン201の具体的作製方法は以下の通りである。まず、有機フィルムの片面に接着剤層を塗布し、この上に配線パターン201用の金属層をラミネートする。あるいは、有機フィルムの片面に配線パターン201用の金属層をメッキ法により形成しても良い。次いで、金属層を化学エッチングして配線パターン201を形成する。

【0094】また、上記態様では、実装された半導体チップ203を非機能部側の面から熱硬化性樹脂組成物で埋設し封止するために、該樹脂組成物からなるシート状物204を用いて行なった。しかしながら、本発明において、半導体チップ203の封止方法はこれに限定されない。例えば、図2Bのように半導体チップ203を実装した後、半導体チップ203の非機能部側の面から、真空又は減圧雰囲気下で該樹脂組成物からなる未硬化状態のペースト状物を印刷法により付与して封止しても良い。その後、ペースト状物を加熱して硬化させる。加熱は、大気圧以上の圧力に加圧した雰囲気で行なうことが好ましい。

【0095】ペースト状物の付与を真空又は減圧雰囲気下で行なうことにより、ペースト状物を、実装された半導体チップ203と配線パターン201との隙間にも十分に充填させることができる。また、加熱硬化を大気圧以上の加圧雰囲気下で行うことで、ペースト状物の付与時に発生した微小のボイドを完全に無くすることが出来る。これにより実装した半導体チップの機能部を完全に樹脂で保護することができるため、極めて信頼性に富むモジュールが得られる。

【0096】ペースト状物を用いた具体的な封止方法は以下の通りである。まず、図2Bに示すように半導体チップ203を配線パターン201上に実装する。次いで、印刷ステージを真空に保持できるスクリーン印刷装置を用いて印刷封止する。印刷は、印刷すべき領域に対応した開口が形成され、印刷後の熱硬化性樹脂組成物の所望する厚みに対応した厚みを有するメタルマスクを用いて行なう。該メタルマスクを、半導体チップ203の非機能部側の面に重ね合わせる。このとき、半導体チップ203で覆われていない配線パターン201及び支持体200の上部にメタルマスクの開口が位置するように、メタルマスクを位置合わせする。次いで、メタルマスクの上部より、前記ペースト状物をスキージで押し当てながら印刷する。これにより、メタルマスクの開口に対応した領域内に、メタルマスクの厚みに対応した厚みでペースト状物を付与することができる。この印刷工程を、真空又は減圧雰囲気下で行なうことにより、半導体チップ203と配線パターン201との間の狭い隙間にまで、ペースト状物を充填させることができる。真空又は減圧の程度は、100～10000Pa程度が良い。

100Pa以下だとペースト状物中の微量の溶剤などが揮発し、却ってボイドを増加させることがある。一方、10000Pa以上だとボイドを除去する効果が低下する。印刷時に、ペースト状物を若干加熱し、粘度を低下させるのが好ましい。これはボイド除去に効果的である。ペースト状物の印刷後、一定温度に加熱できる加圧オーブンでペースト状物を硬化させる。加圧オーブンは、空気や窒素などのガスを注入して加熱することでオーブン内の圧力を高めることができる。ステンレス容器内にペースト状物を印刷した試料を投入し、ペースト状物が硬化する温度まで加熱加圧する。これにより、内部に存在した微小ボイドも完全に除去することができる。加熱温度は、ペースト状物を構成する樹脂の種類によって異なるが、エポキシ樹脂を用いた場合、150℃～200℃の温度で行う。加圧圧力は、0.5MPa～1MPa程度が最適である。0.5MPa以下であるとボイド除去効果が低下し、また1MPa以上では容器の耐圧性に問題が生じる場合がある。

【0097】（実施の形態2）図4A～図4Cは、本発明の実施の形態2にかかる半導体チップ内蔵モジュールの製造方法を工程順にした断面図である。

【0098】図4Aにおいて、210は実施の形態1の図2Fに示した半導体チップ内蔵モジュールであり、図2Fと同一の構成要素には同一の符号を用いている。401は、回路基板用プリブレグ、403はプリブレグ401に形成した厚さ方向の貫通孔に充填した導電性ペーストである。405は金属（銅）箔である。

【0099】回路基板用プリブレグ401としては、ガラス織布に熱硬化性樹脂としてのエポキシ樹脂を含浸させた未硬化状態の基材（プリブレグ）を使用できる。あ

るいは、アラミド不織布にエポキシ樹脂を含浸させたアラミド-エポキシブリブregや、熱硬化性樹脂層を両面に形成した有機フィルムなども使用できる。さらに、該熱硬化性樹脂中に無機フィラーを混入させると、熱伝導特性や熱膨張係数を制御できるので好ましい。

【0100】導電性ペースト403は、導電材料としての金、銀、銅等の粉末と、エポキシ樹脂などの熱硬化性樹脂とを混練したものを使用できる。特に銅は導電性が良好で、マイグレーションも少ないため有効である。また、熱硬化性樹脂としては、液状のエポキシ樹脂が耐熱性の点で好ましい。

【0101】図4Aに示すように、半導体チップ内蔵モジュール210と、ブリブreg401と、銅箔405とを、この順に位置合わせして重ね、更にこれらを加熱加圧することで一体化する。ブリブreg401および導電性ペースト403中の熱硬化性樹脂が硬化して、図4Bに示すような構造の半導体チップ内蔵モジュールが得られる。

【0102】最後に図4Cに示すように、銅箔405をエッチングすることで、配線パターン407を形成する。

【0103】このようにして作製された半導体チップ内蔵モジュールは、微細な回路パターンを形成でき、しかも多層配線で構成できるので、極めて小型で薄い半導体パッケージが実現できる。

【0104】また、図4Cのモジュールの配線パターン407側の面に、更に、図4Aに示したブリブreg401及び銅箔405を積層した後、銅箔405をエッチングして配線パターンを形成する工程を所定回数繰り返し行うことで、より高密度な多層モジュールが実現できる。

【0105】上記の実施の形態1、2では、半導体チップを内蔵したモジュールを例に説明した。しかしながら、本発明のモジュールは、半導体チップ以外の電気素子、例えば、チップ抵抗、チップコンデンサ、チップインダクタ、弾性表面波素子などを内蔵させることができる。

【0106】次に、弾性表面波素子を内蔵したモジュールについて説明する。

【0107】（実施の形態3）以下に、電気素子として弾性表面波素子を内蔵したモジュールの実施の形態について、図面を用いて説明する。

【0108】図5は、電気素子として弾性表面波素子を用いた本実施の形態3にかかる電気素子内蔵モジュールを示す断面図である。また、図6A～図6Cは、図5に示す電気素子内蔵モジュールの製造方法を工程順に示した断面図である。図5及び図6A～図6Cにおいて、501は弾性表面波素子、502は圧電基板、503は櫛形電極、504は引き出し電極、505は金属パンプ、506は包囲体、507は回路基板、508は熱硬化性

樹脂組成物、509は第1の配線パターン、510は第2の配線パターン、511はピアホール、514は内蔵回路である。

【0109】弾性表面波素子501は、図7に示した従来の弾性表面波素子と同様に、例えば、タンタル酸リチウム、ニオブ酸リチウム、又は水晶などからなる圧電基板502の一方の面（機能部側の面）上に、アルミニウムを主成分とする金属膜などからなる櫛形電極503と、引き出し電極504とが形成されている。そして、弾性表面波が伝搬する機能部には振動空間を確保するための包囲体506が形成されている。包囲体506は、機能部が他の部材と直接接触して、弾性表面波の伝搬が阻害されることがないように、空間保持構造を形成する。このような包囲体506は、例えば、特開平10-270975号公報に示されるように、フィルム状樹脂組成物からなる支持層と蓋体とにより構成できる。

【0110】弾性表面波素子501の機能部とは反対側の面と、弾性表面波素子501を封止する樹脂組成物508の上面とは、同時に研削又は研磨加工されることにより略同一面を形成している。これにより、全体の厚みを薄くすることができる。

【0111】なお、圧電基板502、櫛形電極503、及び引き出し電極504を構成する材料は特に限定はなく、どのような材料で構成されようと、本発明の効果を阻害するものではない。

【0112】また、引き出し電極504上には、外部との電気接続を行うための金属パンプ505が形成されている。本実施の形態では、金属パンプ505として金パンプを用いている。

【0113】回路基板507には、一方の面に第1の配線パターン509が、他方の面に第2の配線パターン510が、内部に内蔵回路514が、それぞれ形成されている。第1の配線パターン509と第2の配線パターン510と内蔵回路514とはピアホール511で接続される。これらを介して、実装された複数の弾性表面波素子501と外部回路との接続等が行なわれる。本実施の形態では、弾性表面波素子501が実装される側の第1の配線パターン509の表面には金メッキが施されている。また、内蔵回路514には、移相回路や、コンデンサ、インダクタなどの受動素子が形成されている。

【0114】次に、このような弾性表面波素子内蔵モジュールの製造方法を図6A～図6Cを用いて説明する。

【0115】まず、図6Aに示すように、弾性表面波素子501の機能部側の面を回路基板507側にして、弾性表面波素子501を回路基板507上に位置合わせして載置する。そして、弾性表面波素子501の金属パンプ505と回路基板507の第1の配線パターン509とを、熱と超音波を併用することにより接続する。

【0116】なお、本実施の形態では金属パンプ505として金パンプを用いているが、本発明はこれに限定さ

れない。例えば、金バンプを導電性接着剤を介して接続しても良い。あるいは、金属バンプ505として半田バンプを用い、半田バンプをリフローすることにより接続しても良い。

【0117】また、本実施の形態では、実装される複数の弾性表面波素子501の圧電基板502が、略同一厚さを有し、同一の材料からなる場合を示しているが、本発明はこれに限定されない。例えば、厚さ及び/又は材料が異なる圧電基板502を備えた複数の弾性表面波素子501を一緒に実装しても良い。また、弾性表面波素子501の他に、例えば半導体チップ、チップ抵抗、チップコンデンサ、及びチップインダクタのうちの少なくとも一つを、同一の回路基板507上に一緒に実装しても良い。

【0118】このように弾性表面波素子501がフェイスダウン方式で実装された回路基板507上に熱硬化性樹脂組成物508を付与し加熱硬化して、弾性表面波素子501を埋設し封止する(図6B)。熱硬化性樹脂組成物508の付与は、実施の形態1で説明したように、樹脂組成物からなるシート状物を弾性表面波素子501の非機能部側の面にかぶせる方法や、真空又は減圧雰囲気下で該樹脂組成物からなる未硬化状態のペースト状物を弾性表面波素子501の非機能部側の面から印刷する方法などにより行なうことができる。あるいは、あらかじめ弾性表面波素子501と回路基板507との間に樹脂組成物を注入しておき、その後、弾性表面波素子501の非機能部側の面に樹脂組成物をコーティングしても良い。

【0119】このように、本実施の形態では、弾性表面波素子501の周囲は熱硬化性樹脂組成物508で覆われるため、弾性表面波素子501の機能部が該樹脂組成物508と接触しないように、機能部に空間保持構造を形成することが好ましい。これにより、弾性表面波素子508と、回路基板507との間にも樹脂を充填することが可能となり、後の薄板化のための研削又は研磨工程時に加わる外力を、金属バンプ505のみならず、充填された樹脂でも支持することができる。その結果、金属バンプ505近傍に応力が集中することがなく、圧電基板502が割れるなどの不具合を防止することができる。

【0120】上記空間保持構造を形成する包囲体506はフィルム状樹脂組成物で構成することが好ましい。これにより弾性表面波素子501の周囲を覆う樹脂組成物508との密着性が向上し、後の研削又は研磨工程において、包囲体506と樹脂組成物508との界面で剥離等が発生せず、信頼性の高い部品内蔵モジュールを得ることができる。

【0121】次に、上記弾性表面波素子501の樹脂組成物508による埋設物を、回路基板507とは反対側の面から所定の厚みになるまで研削又は研磨する。この

とき、弾性表面波素子501の非機能部側の面が粗面となるように研削又は研磨することが好ましい。弾性表面波素子501においては、機能部で発生した弾性表面波が圧電基板502の厚さ方向に伝搬し、非機能部側の面で反射して機能部に戻って特性の悪化を招く。非機能部側の面を粗化しておくことで、この反射波の影響を低減することが可能となり、周波数特性に優れた部品内蔵モジュールを得ることができる。特に、非機能部側の面の表面粗さを、弾性表面波素子の表面波の波長以上に粗化することが好ましい。例えば、弾性表面波素子の適用周波数を100MHzから10GHz、伝搬速度を4000m/秒と考えると、その表面波の波長は0.4μmから40μmとなる。従って、この場合には、表面粗さRzを少なくとも0.4μm以上にすることが好ましい。

【0122】一方、圧電単結晶からなる圧電基板502の表面を粗化加工する場合には、加工面に加工変質層が形成され、これが弾性表面波素子の特性を劣化させることがある。加工変質層は、使用する砥粒の粒径が大きいくほど深くまで形成される。また、粗度を大きくしていくと、圧電基板に割れが発生したり、マイクロクラックが発生し、信頼性を低下させる。本発明者らの実験によれば、表面粗さRzが50μm以上になるように加工すると、基板割れや、特性劣化などの現象が頻発するようになり、薄型の部品内蔵モジュールを得ることは困難であった。

【0123】逆に、表面粗さを小さくしていくと、研削又は研磨時の摩擦応力が大きくなり、弾性表面波素子501と回路基板507との接続部、すなわち引き出し電極504と金属バンプ505との接続、又は金属バンプ505と第1の配線パターン509との接続が破壊されることがある。また、研削又は研磨時の発熱量も増大し、発熱が弾性表面波素子501に悪影響を与えたり、弾性表面波素子501と樹脂組成物508との界面にクラックが発生したりする。本発明者らの実験によれば、表面粗さRzが0.5μm以下となるように加工すると、これらの問題が頻発するようになり、薄型の部品内蔵モジュールを得ることは困難であった。

【0124】以上から、弾性表面波素子501の特性劣化、圧電基板502の割れ、接続信頼性の低下などを考慮すると、弾性表面波素子501の表面粗さRzが0.5μm～50μmの範囲となるように研削又は研磨することが好ましい。より好ましくは、弾性表面波素子501のみならず熱硬化性樹脂組成物508についても表面粗さRzが0.5μm～50μmの範囲となるように研削又は研磨することが好ましい。

【0125】かくして、図5に示したような弾性表面波素子を内蔵したモジュールを得る。

【0126】本実施の形態によれば、実装した弾性表面波素子を熱硬化性樹脂組成物で封止し、弾性表面波素子の非機能部側の面を熱硬化性樹脂組成物と一緒に研削又

は研磨して同一面を形成することにより、従来は薄型化が困難であった弾性表面波素子を容易に薄く加工することが可能となり、薄型の弾性表面波素子内蔵モジュールを得ることができる。

【0127】また、弾性表面波素子の表面に形成された機能部に、弾性表面波の励振、伝搬を妨げないように空間保持構造を形成することにより、弾性表面波素子の機能部側の面にも樹脂組成物を充填することが可能となるので、研削又は研磨工程時に弾性表面波素子に割れ等が発生することがない。

【0128】また、空間保持構造をフィルム状樹脂組成物から構成することにより、封止する上記樹脂組成物との親和性が高く、信頼性の高い弾性表面波素子内蔵モジュールを得ることができる。

【0129】また、前記同一面になるように形成された弾性表面波素子及び熱硬化性樹脂組成物の表面の表面粗さRzを0.5μm〜50μmの範囲とすることにより、弾性表面波素子の特性に影響を与えることなく薄型の弾性表面波素子内蔵モジュールを得ることができる。同時に、金属バンプの接続信頼性も高く、基板割れや、変質等を防止することができ、信頼性の高い弾性表面波素子内蔵モジュールを得ることができる。

【0130】なお、実施の形態1では半導体チップ203を支持体200上の配線パターン201に実装したが、実施の形態3に示したように回路基板507上に実装することもできる。同様に、実施の形態3では弾性表面波素子501を回路基板507上に実装したが、実施の形態1に示したように支持体200上の配線パターン201に実装することもできる。

【0131】

【実施例】以下具体的な実施例を詳細に説明する。

【0132】（実施例1）上記の実施の形態1に対応した実施例を説明する。

【0133】まず、図2Aに示した、配線パターン201が表面に形成された銅箔支持体200の作製方法を述べる。

【0134】銅箔支持体200は既存の回路基板用銅箔が利用できる。ドラム状の電極を電解液中で回転させ、ドラム上に形成された銅メッキ層を連続的に巻き取る方法により作製した。この時のメッキ層形成のための電流値、回転速度などから任意の厚みの銅箔を連続的に形成できる。用いた銅箔の厚みは70μmであった。

【0135】次いで、該銅箔支持体200の表面に極めて薄い有機層を形成するか、ニッケルや錫などの異種金属を同様に薄くメッキして、後の転写時の剥離層を形成した。剥離層を形成しなくとも転写はできるが、剥離層を形成することにより、配線パターン201をエッチング形成するとき、オーバーエッチングを防止することができる。あるいは、剥離層を形成しないで、銅箔支持体200をも若干エッチングさせることにより、転写さ

れた配線パターン201をシート状物204中に埋め込ませることもできる。本実施例では銅箔支持体200に剥離層を設け、更にその上に配線パターンとなる銅メッキを行なった。銅メッキ層の厚みは12μmであった。その後、銅メッキ層を所定パターンにエッチングして配線パターン201を得た。

【0136】このようにして作製した銅メッキ層よりなる配線パターン201を有する銅箔支持体200上に半導体チップ203をフリップチップ法で実装した。使用した半導体チップ203は、シリコンメモリー半導体で、厚み0.3mm、平面サイズは10mm×10mmであった。

【0137】実装方法は以下の通りである。まず、半導体チップ203のアルミ電極に25μm径の金ワイヤをボンディングし（第1のボンディング）、第1のボンディング上に更に金ワイヤをボンディングした（第2のボンディング）。これにより2段突起状の金バンプを形成した。形成した金バンプは高さが同一でないので、半導体チップ上の金バンプ群に金型を押し当て一定圧力で加圧することで、高さを均一化するレベリングを行った。以上のようにして作製した金バンプ202付半導体チップ203の金バンプ202側の面を、平板上に一定厚みにスキージングした導電性ペースト上に押し当てて、2段突起状の金バンプ202の先端部に導電性ペーストを塗布した。

【0138】このようにして作製された半導体チップ203を配線パターン201上に位置合わせして重ね、さらに加熱して導電性ペーストを硬化させ、金バンプ202と配線パターン201とを導電性ペーストを介して電気的に接続した（図2B）。

【0139】次いで、配線パターン201を有する銅箔支持体200と半導体チップ203との間を液状樹脂で封止した。使用した樹脂は、液状エポキシ樹脂に熱膨張係数を制御するためのシリカ粒子を混合させたペースト状の樹脂である。この樹脂を半導体チップ203と配線パターン201との間の隙間に滴下することで、表面張力を利用して封入させた。樹脂封止は必ずしも必要ではないが、樹脂封止を行なうことにより、その後の工程において外力が加わることにより、導電性ペーストによる接続部の不具合が生じないように、接続部を機械的に補強することができるので、作業性の観点から行なう方が好ましい。

【0140】次いで、銅箔支持体200上に実装した半導体チップ203上に、無機フィラーと熱硬化性樹脂との混合組成物物からなるシート状物204を重ね、加熱加圧することにより半導体チップ203をシート状物204内に埋設させた。

【0141】使用したシート状物の作製方法は以下の通りである。

【0142】シート状物を構成する樹脂組成物の配合組

成を以下に示す。

【0143】(1)無機フィラー：

・ Al_2O_3 90重量%

(昭和電工(株)製AS-40、球状 $12\mu m$)

(2)熱硬化性樹脂：

・液状エポキシ樹脂 9.5重量%

(日本レック(株)製EF-450)

(3)その他：

・カーボンブラック 0.2重量%

(東洋カーボン(株)製)

・カップリング剤 0.3重量%

(味の素(株)製チタネート系46B)

上記組成で秤量された無機フィラーと液状の熱硬化性樹脂等を所定容量の容器に投入した。次いで、該容器を攪拌混合機にセットして、容器内容物を混合させた。使用した攪拌混合機は、容器自身を自転させながら、容器を公転させるもので、比較的粘度が高くても10分程度の短時間で充分な分散状態を得ることができる。

【0144】このようにして得たペースト状の混合樹脂組成物の所定量を離型フィルム上に滴下させた。離型フィルムとして、表面にシリコンによる離型処理が施された厚み $75\mu m$ のポリエチレンテレフタレートフィルムを用いた。離型フィルム上に滴下された樹脂組成物上にさらに別の離型フィルムを重ね、加圧プレスで一定厚みになるようにプレスした。次に2枚の離型フィルムで挟持された樹脂組成物を離型フィルムごと加熱し、粘着性がなくなる条件下で熱処理した。

【0145】熱処理条件は、温度 $120^\circ C$ で15分間保持である。その後、両面の離型フィルムを剥離して、厚み $500\mu m$ の粘着性のないシート状物204を得た。使用した前記熱硬化性エポキシ樹脂は、硬化開始温度が $130^\circ C$ であるため、前記熱処理条件下では、未硬化状態(Bステージ)であり、以降の工程で加熱することにより再度溶融させることができる。

【0146】金型に半導体チップ203を実装した銅箔支持体200をセットし、さらにその上に上記シート状物204を載置した。金型を $150^\circ C$ に加熱して $9.8 \times 10^5 Pa$ ($100 kg/cm^2$)の圧力で加圧した。保持時間は15分間である。これにより、図2Dに示すように、半導体チップ203をシート状物204内に埋設させるとともに、シート状物204を硬化させた。

【0147】次いでこの半導体チップ内蔵物を半導体チップ203の背面側(銅箔支持体200とは反対側)から研磨した。研磨は、通常のラッピングマシンを用いて $170\mu m$ 厚みになるまで研磨した。研磨は、図2Eのように銅箔支持体200を貼り合わせたまま行なった。研磨時の研磨剤や水が侵入して配線パターン201が汚染されるのを防ぐことができるからである。

【0148】所望の厚みにまで研磨した後、洗浄し、銅箔支持体200を剥離した(図2F)。銅箔支持体20

0は、光沢面を有しているので、シート状物204が硬化状態であっても容易に剥離することができた。

【0149】このようにして作製された極薄の半導体チップ内蔵モジュール210は、シート状物204中に無機フィラーとしてアルミナを含有しているので、従来のガラスエポキシ基板に比べ約20倍以上の熱伝導特性が得られた。アルミナに代えて各種の無機フィラーを用いて同様に半導体チップ内蔵モジュール210を製造したところ、 AlN 、 MgO を用いた場合、アルミナの場合以上の熱伝導特性を発揮することが判った。

【0150】また、シート状物204中の無機フィラーとして非晶質 SiO_2 を用いた場合は、シート状物204の熱膨張係数をシリコン半導体の熱膨張係数に近づけることができた。これにより、半導体チップを直接実装するフリップチップ用基板としても有望であることが分かった。

【0151】また、良好な熱伝導性を有する AlN を使用することにより、セラミック基板に近い熱伝導特性が得られた。

【0152】また BN を添加した場合、高い熱伝導特性と低い熱膨張特性が得られた。特に BN の含有量が85重量%以上のとき、良好な熱伝導特性が得られ、コストも安いことから高熱伝導モジュールとして有望であることが分かった。

【0153】また、 SiO_2 を用いた系では、誘電率が他に比べ低いものが得られ、かつ比重も軽いことから、携帯電話などの高周波用途に有効であることが分かった。

【0154】図2Fのように銅箔支持体200を剥離することによって露出した配線パターン201上に更に半導体チップや電子部品を実装することができる。これにより、極めて高密度実装された半導体チップ内蔵モジュールが得られる。このとき、実装する部品に応じて、無機フィラーの材料を選択することができる。

【0155】さらに、図3Aに示したように複数の半導体チップを内蔵したモジュールをスライサーによって、多数個に分割することにより、簡易に図3Bのようなチップサイズパッケージが得られるという格別の効果もある。

【0156】なお、上記実施例では、実装した半導体チップ203をシート状物204中に埋設する際、 $150^\circ C$ の温度で加圧しながら硬化させた。別の実施例として、熱硬化性樹脂の硬化開始温度以下である $100^\circ C$ で2分間加圧することで、熱硬化性樹脂の溶融粘度を低下させて半導体チップ203を埋設した後、圧力を開放して $150^\circ C$ に加熱して硬化を行なってみた。この場合も、上記実施例と同様に問題なく半導体チップ内蔵モジュールを作製できた。

【0157】上記別の実施例は、半導体チップを埋設する工程と、熱硬化性樹脂を硬化させる工程とを別々に行

10

20

30

40

50

なうものである。加圧が必要な埋設工程を樹脂粘度を低下させることにより短時間で行ない、その後の硬化工程をまとめてパッチ処理できるので、トータルの所用時間を短縮化することができる。

【0158】また、上記実施例では、半導体チップ203の実装を導電性ペーストを用いて行なったが、半田パンプを用いたフリップチップ実装法や、導電性フィラーを分散させた熱硬化性樹脂シートを用い、パンプ202による圧縮でパンプ202部分だけ導電性を発揮させて接続する方法でもよい。これによれば、前述の銅箔支持体200と半導体チップ203との間の樹脂封止が不要になるので経済的に有利である。

【0159】（実施例2）上記の実施の形態2に対応した実施例を説明する。実施例1と同様の方法で作製した研磨済み半導体チップ内蔵モジュール210を用いて多層構造を有する半導体チップ内蔵モジュールを製造する実施例を示す。

【0160】図4Aに示すように、実施例1で作製した半導体チップ内蔵モジュール210と、回路基板用ブリブreg401と、銅箔405とを用いて多層化を行なった。

【0161】回路基板用ブリブreg401は、ガラス織布にエポキシ樹脂を含浸させたBステージ状態のものを使用した。厚みは100 μ mであった。上記ブリブregを所定の大きさにカットし、炭酸ガスレーザを用いてピッチが0.2mm \sim 2mmの等間隔の位置に直径0.15mmの貫通孔を形成した。

【0162】球形状の銅粒子85重量%と、樹脂組成としてビスフェノールA型エポキシ樹脂（エピコート828 油化シェルエポキシ社製）3重量%及びグルシジルエステル系エポキシ樹脂（YD-171 東都化成社製）9重量%と、硬化剤としてアミンアダクト硬化剤（MY-24 味の素社製）3重量%とを、三本ロールにて混練して、ビアホール充填用導電性ペースト403を得た。かかる導電性ペースト403を、ブリブreg401に形成した貫通孔にスクリーン印刷法により充填した。

【0163】このようにして作製したブリブreg401の一方の面に前記半導体チップ内蔵モジュール210を、他方の面に35 μ m厚みの片面粗化した銅箔（粗化した面はブリブreg401側とした）を、図4Aのように位置合わせして重ね、これを熱プレスを用いて、温度170 $^{\circ}$ C、圧力4.9 $\times 10^5$ Pa（50kg/cm 2 ）で60分間加熱加圧した。

【0164】これにより、ブリブreg401中の熱硬化性樹脂が加熱により硬化して、半導体チップ内蔵モジュール210と銅箔405とが接着した。同時に貫通孔に充填した導電性ペースト403中の熱硬化性樹脂も硬化し、配線パターン201と銅箔405との電氣的接続が行われた（図4B）。

【0165】ブリブreg401の硬化により接着した表層の銅箔405をエッチング技術を用いてエッチングして、配線パターン407を形成した（図4C）。

【0166】本実施例によって作製された半導体チップ内蔵モジュールの信頼性評価試験として、半田リフロー試験及び温度サイクル試験を行った。半田リフロー試験は、ベルト式リフロー試験機を用いて最高温度260 $^{\circ}$ C \times 10秒間の高温雰囲気中に10回通すことで行った。また温度サイクル試験は、高温側として125 $^{\circ}$ Cで30分、その後、低温側として-60 $^{\circ}$ Cで30分間、それぞれ保持するという動作を1サイクルとして、これを200サイクル繰返し行なった。

【0167】その結果、いずれの試験においても、本実施例の半導体チップ内蔵モジュールはクラックなどの形状上の変化は発生せず、超音波探傷装置でも特に異常は認められなかった。これにより半導体チップ203と樹脂組成物204とは強固に密着していることが分かった。また導電性ペースト403によるインナービアホール接続抵抗もほとんど初期性能と変化がなかった。

【0168】なお、配線パターン407側の面に、更に、貫通孔に導電性ペースト403を充填した回路基板用ブリブreg401と銅箔405とを積層する工程を繰り返すことにより、多層配線構造を有する半導体チップ内蔵モジュールを作製することができた。これにより、更に高密度な配線モジュールが実現できた。

【0169】以上に説明した実施の形態及び実施例は、いずれもあくまでも本発明の技術的内容を明らかにする意図のものであって、本発明はこのような具体例にのみ限定して解釈されるものではなく、その発明の精神と請求の範囲に記載する範囲内でいろいろと変更して実施することができ、本発明を広義に解釈すべきである。

【0170】

【発明の効果】本発明に係る電気素子内蔵モジュールによれば、電気素子が熱硬化性樹脂組成物で封止されているので、機械的強度が向上する。また、このようなモジュールは、電気素子の上面と熱硬化性樹脂組成物の上面とを同時に所望する厚さまで研削又は研磨等で加工することにより得ることができる。その際、電気素子が熱硬化性樹脂組成物によって封止されているので、加工時の外力によって電気素子が損傷を受けることがない。かくして、機械的強度を備えた薄型の電気素子内蔵モジュールを提供することができる。また、2以上の電気素子を含むことにより、高密度実装されたモジュールが実現できる。更に、電気素子毎に分割することで、機械的強度を備えた薄型の電気素子内蔵パッケージを提供できる。

【0171】次に、本発明の電気素子内蔵モジュールの製造方法によれば、厚い電気素子を実装し、熱硬化性樹脂組成物で封止した後非機能部側の面から研削又は研磨する。電気素子は樹脂組成物で補強されるので、研削又は研磨時に電気素子に加わる機械的衝撃や荷重を緩和

することができる。従って、電気素子を破壊することなく、薄い電気素子内蔵モジュールが得られる。また、研削又は研磨時に電気素子は樹脂組成物で封止されているので電気素子や電氣的接続部の汚染を防止できる。

【図面の簡単な説明】

【図1】図1は、本発明の実施の形態1にかかる半導体チップ内蔵モジュールの構造を示した断面図である。

【図2】図2A～図2Fは図1に示した半導体チップ内蔵モジュールの製造方法を工程順に示した断面図である。

【図3】図3A及び図3Bは、図1に示した半導体チップ内蔵モジュールを用いてチップサイズパッケージを製造する方法を工程順に示した断面図である。

【図4】図4A～図4Cは、本発明の実施の形態2にかかる半導体チップ内蔵モジュールの製造方法を工程順に示した断面図である。

【図5】図5は、本発明の実施の形態3にかかる弾性表面波素子内蔵モジュールの構造を示した断面図である。

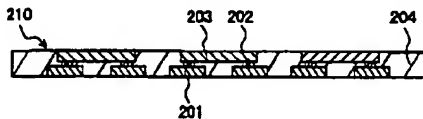
【図6】図6A～図6Cは、図5に示した弾性表面波素子内蔵モジュールの製造方法を工程順に示した断面図である。

【図7】図7は、2つの弾性表面波素子を内蔵した従来の電気素子内蔵モジュールの構造を示す断面図である。

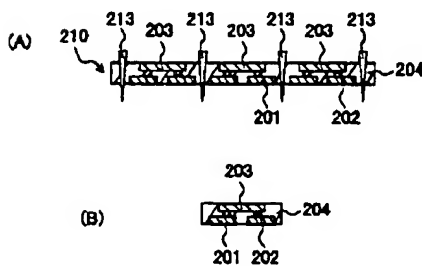
【符号の説明】

- * 200 支持体
- 201 配線パターン
- 202 バンプ
- 203 半導体チップ
- 204 熱硬化性樹脂組成物
- 210 半導体チップ内蔵モジュール
- 213 切断位置
- 401 回路基板用ブリブレグ
- 403 導電性ペースト
- 405 金属（銅）箔
- 407 配線パターン
- 501 弾性表面波素子
- 502 圧電基板
- 503 楕形電極
- 504 引き出し電極
- 505 金属バンプ
- 506 包囲体
- 507 回路基板
- 508 熱硬化性樹脂組成物
- 509 第1の配線パターン
- 510 第2の配線パターン
- 511 ピアホール
- 514 内蔵回路

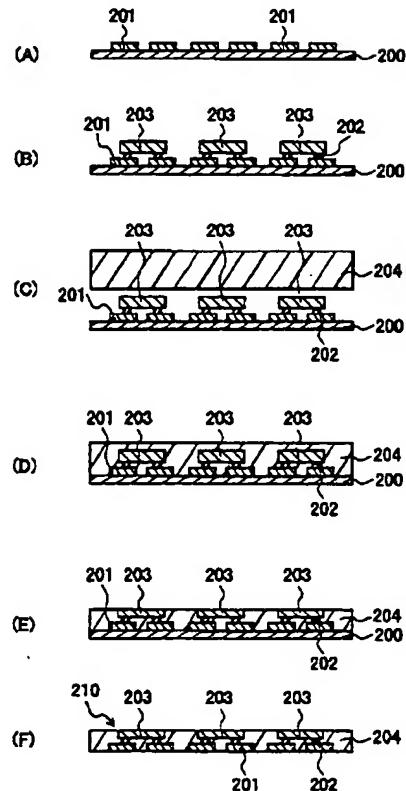
【図1】



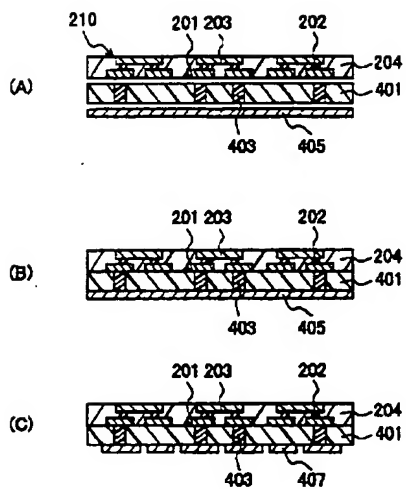
【図3】



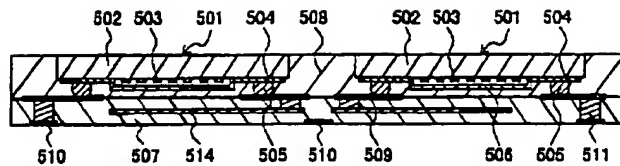
【図2】



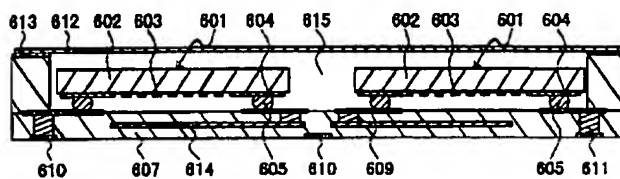
【図4】



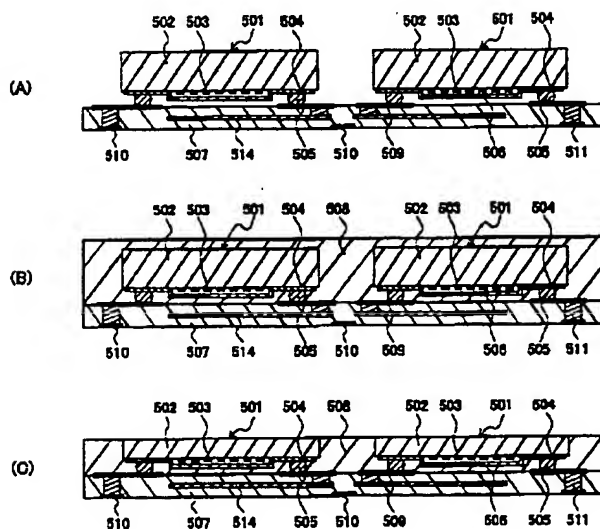
【図5】



【図7】



【図6】



フロントページの続き

(51)Int.Cl.

識別記号

F I

テーマコード (参考)

H 0 1 L 23/29
23/31
H 0 3 H 3/08
9/25
H 0 5 K 3/20
3/28
3/32
3/46

H 0 3 H 9/25
H 0 5 K 3/20
3/28
3/32
3/46
H 0 1 L 23/12
23/30

A
A
B
B
B
L
B

(72)発明者 菅谷 康博
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 大西 慶治
大阪府門真市大字門真1006番地 松下電器
産業株式会社内